

(19) 世界知的所有權機關
國際事務局



(43) 國際公開日
2004 年 12 月 23 日 (23.12.2004)

PCT

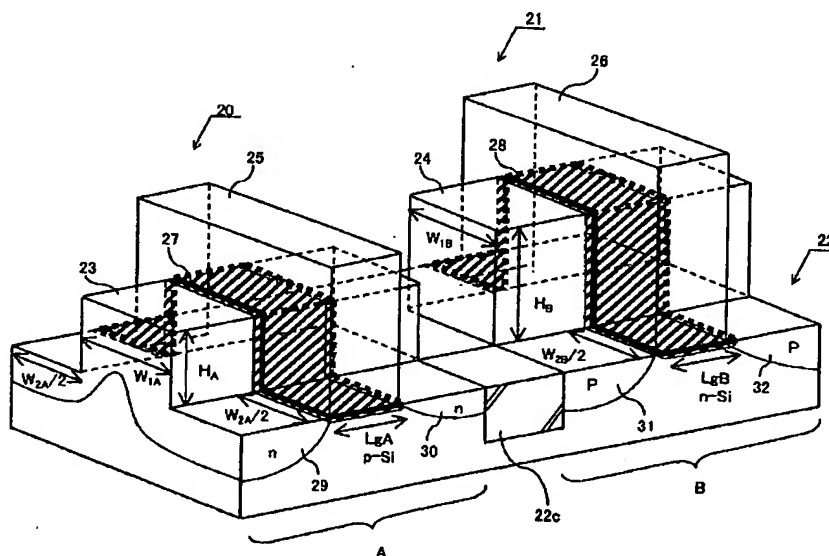
(10) 国際公開番号
WO 2004/112143 A1

- | | | |
|--|----------------------------|---|
| (51) 国際特許分類7:
19/00, H01L 29/78, 21/336 | H01L 27/092, H03H | 2丁目1番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒9430834 新潟県上越市西城町2丁目5番13号 Niigata (JP). |
| (21) 国際出願番号: | PCT/JP2004/008220 | (71) 出願人 および |
| (22) 国際出願日: | 2004年6月11日 (11.06.2004) | (72) 発明者: 大見 忠弘 (OHMI, Tadahiro) [JP/JP];
〒9800813 宮城県仙台市青葉区米ヶ袋
2-1-17-301 Miyagi (JP). |
| (25) 国際出願の言語: | 日本語 | (72) 発明者; および |
| (26) 国際公開の言語: | 日本語 | (75) 発明者/出願人 (米国についてのみ): 西牟田 武史
(NISHIMUTA, Takefumi) [JP/JP]; 〒4488671 愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機
内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒
9430834 新潟県上越市西城町2丁目5番13号 新
潟精密株式会社内 Niigata (JP). 須川 成利 (SUGAWA,
Shigetoshi) [JP/JP]; 〒9800861 宮城県仙台市青葉区 |
| (30) 優先権データ:
特願2003-170103 | 2003年6月13日 (13.06.2003) JP | |
| (71) 出願人 (米国を除く全ての指定国について): 株式会
社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JI-
DOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 | | |

〔統葉有〕

- (54) Title:** SWITCH CAPACITOR CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT THEREOF

- (54) 発明の名称: スイッチトキャパシタ回路及びその半導体集積回路



- (S7) Abstract:** A rectangular parallelepiped protrusion part (21) having a height H_B and a width W_B is formed on a silicon substrate, and a gate oxide film is formed on portions of the top and side wall surfaces of the protrusion part (21) to form a MOS transistor. P-channel and n-channel MOS transistors prepared as described above are connected in parallel to configure a switch of a switched capacitor circuit. In this way, the switched capacitor circuit can exhibit less leakage currents and less DC offsets.

- (57) 要約: シリコン基板上に高さ H_B で、幅が W_B の直方体状の突出部 21 を形成し、突出部 21 の頂面及び側壁の一部にゲート酸化膜を形成し、MOS トランジスタを形成する。上記のように製造した p チャンネル MOS トランジスタと n チャンネル MOS

〔統葉有〕

WO 2004/112143 A1



内元支倉 35-2-102 Miyagi (JP). 寺本 章伸 (TER-AMOTO, Akinobu) [JP/JP]; 〒9830037 宮城県仙台市宮城野区平成1丁目1-22-K6 Miyagi (JP).

(74) 代理人: 大昔 義之 (OSUGA, Yoshlyuki); 〒1020084 東京都千代田区二番町8番地20 二番町ビル3F Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

トランジスタを並列に接続して、スイッチトキャパシタ回路のスイッチを構成する。これにより、スイッチトキャパシタ回路のリーク電流やDCオフセットを低減する。

明 細 書

スイッチトキャパシタ回路及びその半導体集積回路

技術分野

- [0001] 本発明は、半導体集積回路基板上に形成されるスイッチトキャパシタ回路及びそのスイッチトキャパシタ回路を含む半導体集積回路に関する。

背景技術

- [0002] 従来、MOSTランジスタの製造プロセスでは、800度C程度の高温雰囲気中でシリコン表面に熱酸化膜を形成し、その熱酸化膜をゲート絶縁膜としてMOSTランジスタを製造していた。
- [0003] 半導体の生産効率を高めるためにより低い温度環境で酸化膜を形成することが望まれている。そのような要望を実現するために、例えば、特許文献1には、低温のプラズマ雰囲気中で絶縁膜を形成する技術が開示されている。
- [0004] フィルタを集積回路基板上に形成する場合に、スイッチトキャパシタフィルタが用いられる。
- スイッチトキャパシタ回路のスイッチとしてpチャネルMOSTランジスタとnチャネルMOSTランジスタを並列に接続して使用する場合、pチャネルMOSTランジスタとnチャネルMOSTランジスタの寄生容量が異なるためにスイッチング時にノイズが発生するという問題がある。
- [0005] このような問題を改善するために、従来、図7に示すような回路が用いられている。
- 図7において、スイッチ70は、pチャネルMOSTランジスタ71aとnチャネルMOSTランジスタ71bが並列に接続されて構成されている。
- [0006] pチャネルMOSTランジスタ71aのゲートとソースに並列に、nチャネルMOSTランジスタ72のゲートと、ソースとドレインを接続した端子間の容量が接続され、pチャネルMOSTランジスタ71aのゲートとドレインに並列に、nチャネルMOSTランジスタ73のゲートと、ソースとドレインを接続した端子間の容量が接続されている。
- [0007] また、nチャネルMOSTランジスタ71bのゲートとドレインに並列に、pチャネルMOSTランジスタ74のゲートと、ソースとドレインを共通接続した端子間の容量が接続さ

れ、nチャネルMOSTランジスタのゲートとドレインに並列に、pチャネルMOSTランジスタ75のゲートと、ソースとドレインが接続された端子間の容量が接続されている。

[0008] このように構成することで、pチャネルMOSTランジスタ71aのゲート・ソース間及びゲート・ドレイン間の容量と、nチャネルMOSTランジスタ71bのゲート・ソース間及びゲート・ドレイン間の容量をほぼ等しくしている。

[0009] ところで、スイッチトキャパシタフィルタを集積回路基板上に形成する場合、トランジスタのリーク電流やオペアンプのオフセット電圧により設計値通りのフィルタ特性が得られないという問題点がある。

[0010] そのような問題点を解決するために、例えば、特許文献2には、オフセット補償用のスイッチトキャパシタを設け、オペアンプのDCオフセットの影響を除去することが記載されている。

[0011] また、特許文献3には、シリコン基板上に立体構造のゲートを形成することが記載されている。

特許文献1:特開2002-261091号公報

特許文献2:特開2000-22500号公報(図1)

特許文献3:特開2002-110963(図1)

[0012] 上述したようにMOSTランジスタのリーク電流やDCオフセット等により生じるスイッチトキャパシタ回路の積分値の誤差を減らすことが要望されている。

[0013] また、図7の回路は、スイッチ70にトランジスタ72-75を付加する必要があるので集積回路基板の回路規模が増大するという問題点があった。

さらに、CMOSスイッチを用いる場合、pチャネルMOSTランジスタの寄生容量が、nチャネルMOSTランジスタの寄生容量に比べて大きいために、スイッチをオン、オフさせたときに出力電圧の変動幅が大きいという問題があった。

発明の開示

[0014] 本発明の課題は、スイッチトキャパシタ回路の誤差を減らすことである。他の課題は、スイッチング時のノイズ及び電圧変動を低減することである。

本発明のスイッチトキャパシタ回路は、半導体集積回路基板上に形成したスイッチトキャパシタ回路であって、第1の結晶面を主面とするシリコン基板上に第2の結晶面

を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタとコンデンサとからなる。

[0015] 不活性ガスは、例えば、アルゴン、クリプトン、キセノンなどからなる。

この発明によれば、MIS電界効果トランジスタのリーク電流とDCオフセットを減らすことができるので、スイッチトキャパシタ回路の誤差を少なくできる。これにより、DCオフセットを補償するための回路等が不要となる。

[0016] また、pチャネルMOSTランジスタとnチャネルMOSTランジスタのゲート・ドレイン間容量、ゲート・ソース間容量をほぼ等しくできるので、スイッチングノイズを減らすための回路が不要となる。

[0017] さらに、MIS電界効果トランジスタの電流駆動能力を向上させることができると共に、シリコン基板の主面におけるMIS電界効果トランジスタの素子面積を小さくできる。

上記の発明において、前記突出部の頂面の第1の結晶面と側壁面の第2の結晶面にチャンネルが形成され、前記MIS電界効果トランジスタのチャンネル幅が、少なくとも前記頂面のチャンネル幅と前記側壁面のチャンネル幅の総和からなる。

[0018] このように構成することで、異なる結晶面にチャンネルが形成されるのでMIS電界効果トランジスタの特性を向上させることができる。

上記の発明において、前記突出部は、頂面がシリコンの(100)面からなり、側壁面がシリコンの(110)からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の前記突出部の左右の領域に形成する。

[0019] このように構成することで、シリコン基板の(100)面と(110)面にチャンネルを形成することができるので、MIS電界効果トランジスタの電流駆動能力を向上させることができる。

[0020] 上記の発明において、前記スイッチトキャパシタ回路は、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとが並列に接続されたスイッチを有し、前記pチャネルMIS電界効果トランジスタの頂面及び側壁面のゲート幅を、前記p

チャネルMIS電界効果トランジスタと前記nチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定した。

[0021] このように構成することで、スイッチを構成するpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタのゲート・ソース間容量、ゲート・ドレイン間容量をほぼ等しくできるので、スイッチング時のノイズを減らすことができる。また、pチャネルMIS電界効果トランジスタの寄生容量を小さくできるので、スイッチの出力電圧の変動を少なくできる。

[0022] 上記の発明において、前記スイッチトキャパシタ回路は、入力端子に信号が入力され、互いに並列に接続された第1のpチャネル及びnチャネルMIS電界効果トランジスタと、前記第1のpチャネル及びnチャネルMIS電界効果トランジスタの出力端子に入力端子が接続され、出力端子が接地された、互いに並列に接続された第2のpチャネル及びnチャネルMISトランジスタと、前記第1のpチャネル及びnチャネルMIS電界効果トランジスタの出力端子に一端が接続されたコンデンサと、前記コンデンサの他端と入力端子が接続され、出力端子が接地された、互いに並列に接続された第3のpチャネル及びnチャネルMIS電界効果トランジスタと、前記コンデンサの他端と入力端子が接続され、互いに並列に接続された第4のpチャネル及びnチャネルMIS電界効果トランジスタとからなる。

[0023] このように構成することで、スイッチトキャパシタ回路のスイッチを構成するpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタのゲート・ソース間容量、ゲート・ドレイン間容量をほぼ等しくできるのでスイッチング時のノイズを減らすことができる。

[0024] 本発明の半導体集積回路は、第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなる回路と、前記pチャネルMIS電界効果トランジスタまたはnチャネ

ルMIS電界効果トランジスタとコンデンサとからなるスイッチトキャパシタ回路とからなる。

[0025] この発明によれば、MIS電界効果トランジスタのリーク電流及びDCオフセットを少なくできるので、スイッチトキャパシタ回路の誤差を少なくできる。これにより、DCオフセットを補償するための回路等が不要となる。

[0026] また、pチャネルMOSトランジスタとnチャネルMOSトランジスタのゲート・ドレイン間容量、ゲート・ソース間容量をほぼ等しくできるので、スイッチングノイズを減らすための回路が不要となる。

[0027] また、他の回路のpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの特性を揃えることができるので、例えば、後段に接続される差動増幅回路のDCオフセット、 $1/f$ ノイズを低減することができる。

[0028] また、立体構造の異なる結晶面にゲート絶縁膜を形成することで、MIS電界効果トランジスタの電流駆動能力を向上させることができると共に、シリコン基板の主面におけるMIS電界効果トランジスタの素子面積を小さくすることができる。

[0029] 上記の発明において、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタと前記nチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるようにする。

[0030] このように構成することで、pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタのゲート・ソース間容量、ゲート・ドレイン間容量をほぼ等しくできるので、スイッチング時のノイズを減らすことができる。

図面の簡単な説明

[0031] [図1]ラジアルラインスロットアンテナを用いたプラズマ装置の断面図である。

[図2]界面準位密度の比較図である。

[図3]実施の形態の半導体製造プロセスにより製造したシリコン基板の構造を示す図である。

[図4]実施の形態の半導体製造プロセスにより製造したMOSトランジスタの構造を示す図である。

[図5]ダイレクトコンバージョン方式の受信回路を示す図である。

[図6]スイッチトキャパシタ回路を示す図である。

[図7]従来のスイッチの構成を示す図である。

発明の実施をするための最良の形態

[0032] 以下、本発明の実施の形態を図面を参照しながら説明する。最初に、プラズマ状態の不活性ガスを用いて低温でシリコン基板上にゲート絶縁膜(例えば、酸化膜)を形成し、MIS (metal insulator semiconductor) 電界効果トランジスタを製造する半導体製造プロセスについて説明する。ゲート絶縁膜の形成方法については、特開2002-261091号公報に開示されている。

[0033] 図1は、半導体製造プロセスで使用されるラジアルラインスロットアンテナを用いたプラズマ処理装置の断面図である。

真空容器(処理室)11内を真空にし、次にシャワープレート12からアルゴン(Ar)ガスを導入した後、Arガスを排出口11Aから排出し、クリプトン(Kr)ガスに切り替える。処理室11内の圧力は133Pa(1Torr)程度に設定する。

[0034] 次に、シリコン基板14を、加熱機構を持つ試料台13の上に置き、試料の温度を400℃程度に設定する。シリコン基板14の温度が200-550℃の範囲内であれば、以下に述べる結果はほとんど同様のものとなる。

[0035] シリコン基板14は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

次に、同軸導波管15からラジアルラインスロットアンテナ16に周波数が2.45GHzのマイクロ波を供給し、マイクロ波をラジアルラインスロットアンテナ16から処理室11の壁面の一部に設けられた誘電体板17を通して処理室11内に導入する。導入されたマイクロ波はシャワープレート12から処理室11内に導入されたKrガスを励起し、その結果シャワープレート12の直下に高密度のKrプラズマが形成される。供給するマイクロ波の周波数が900MHz程度以上、約10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

[0036] 図1の構成においてシャワープレート12とシリコン基板14の間隔は約6cmに設定している。この間隔は狭いほうがより高速な成膜が可能となる。

なお、ラジアルラインスロットアンテナを用いたプラズマ装置に限らず、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

- [0037] シリコン基板13をKrガスで励起されたプラズマに曝すことにより、シリコン基板14の表面は低エネルギーのKrイオン照射を受け、その表面終端水素が除去される。

次に、シャワープレート12から97/3の分圧比のKr/O₂混合ガスを導入する。この際、処理室内の圧力は133Pa(1Torr)程度に維持しておく。KrガスとO₂ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr*とO₂分子が衝突し、原子状酸素O*を効率よく大量に発生できる。

- [0038] この実施の形態では、この原子状酸素O*によりシリコン基板14の表面を酸化する。従来のシリコン表面の熱酸化法では、O₂分子やH₂O分子により酸化が行われ、800°C以上の極めて高い処理温度が必要であったが、この実施の形態で行った原子状酸素による酸化処理では、400°C程度の非常に低い温度で酸化が可能である。Kr*とO₂の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生したO*同志が衝突し、O₂分子に戻ってしまうので、最適ガス圧力が存在する。

- [0039] 所望の膜厚のシリコン酸化膜(シリコン化合物層)が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O₂混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをパージガスに使用するためである。本工程に使用されたKrガスは回収再利用する。

- [0040] 上記の酸化膜形成に続いて、電極形成工程、保護膜形成工程、水素シタ処理工程等を施してトランジスタやキャパシタを含む半導体集積回路を作成する。

上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3nmの膜厚のシリコン酸化膜において面密度換算で10¹²/cm²程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で10¹¹/cm²程度以下であった。一方、酸化膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で10¹²/cm²を超える水素を含んでいた。

- [0041] 上記のようにKrプラズマ照射により終端水素除去を施してからKr/O₂ガスを導入

して酸化を行った場合には、従来のマイクロ波プラズマ酸化により形成されたシリコン酸化膜よりも同一電圧におけるリーク電流が2〜3桁も減少し、非常に良好な低リーク特性が得られた。リーク電流特性の改善は、さらに薄い1.7nm程度までの膜厚のシリコン酸化膜でも集積回路を製造できることが確認された。

[0042] また、上記の半導体製造プロセスにより得られたシリコン酸化膜について、シリコン／シリコン酸化膜界面準位密度の面方位依存性を測定してみると、どの面方位のシリコン表面においても、約 $1 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ の非常に低い界面準位密度が得られた。

[0043] 図2は、シリコン基板の(100)面、(110)面、(111)面の各面に上述した半導体性製造プロセスにより形成したKr/O₂膜と、従来の熱酸化膜の界面準位密度の測定結果を示す図である。

[0044] 図2に示すように、Kr/O₂膜を形成した場合には、(100)面、(110)面、(111)面の何れの面でもシリコンの界面準位密度が約 $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下となっている。これに対して、従来の800° C以上の雰囲気中で形成した熱酸化膜の界面準位密度は、(100)面でも1.1倍以上の値となっており、上記の半導体製造プロセスにより、界面準位密度の低い高品質の絶縁膜を形成できることが分かる。

[0045] 界面準位密度を低くすることにより、キャリアの再結合の確率を減らすことができ、それにより1/fノイズを低減することができる。

耐圧特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD (Charge-to-Breakdown)などの電気的特性、信頼性的特性に関して、第1の実施の形態の半導体製造プロセスで形成した酸化膜は、従来の熱酸化膜と同等ないしはそれ以上の良好な特性を示した。

[0046] 上述したように、表面終端水素を除去してからKr/O₂高密度プラズマによりシリコン酸化工程を行うことで、400° Cという低温において、あらゆる面方位のシリコンに優れたシリコン酸化膜を形成することができる。このような効果が得られるのは、終端水素除去により酸化膜中の水素含有量が少なくなり、かつ、酸化膜中に不活性ガス(例えば、Kr)が含有されることに起因していると考えられる。酸化膜中の水素が少ないことでシリコン酸化膜内の元素の弱い結合が少なくなり、またKrが含有されることにより、膜中やSi/SiO₂界面でのストレスが緩和され、膜中電荷や界面準位密度が低

減され、その結果、シリコン酸化膜の電気的特性が大幅に改善されているものと考えられる。

- [0047] 上述した半導体製造プロセスでは、表面密度換算において水素濃度を $10^{12}/\text{cm}^2$ 以下、望ましくは $10^{11}/\text{cm}^2$ 程度以下にすることと、 $5 \times 10^{11}/\text{cm}^2$ 以下程度のKrを含むことが、シリコン酸化膜の電気的特性、信頼性的特性の改善に寄与しているものと考えられる。
- [0048] なお、上記の半導体プロセスにおいて、不活性ガスと NH_3 ガスとの混合ガス、不活性ガスと O_2 と NH_3 との混合ガスを用い、シリコン窒化膜、シリコン酸窒化膜を形成しても良い。
- [0049] 窒化膜を形成することにより得られる効果は、表面終端水素を除去した後においても、プラズマ中に水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中及び界面のダングリングボンドが Si-H 、 N-H 結合を形成して終端され、その結果シリコン窒化膜及び界面の電子トラップが無くなると考えられる。
- [0050] また、酸窒化膜を形成することにより得られる効果は、終端水素除去により酸窒化膜中の水素含有量が減少していることだけではなく、酸窒化膜中に数割以下の窒素が含有していることにも起因しているとも考えられる。酸窒化膜のKrの含有量は酸化膜に比較すると $1/10$ 以下であり、Krの代わりに窒素が多く含有されている。すなわち、酸窒化膜中の水素が少ないために、シリコン窒化膜中において弱い結合の割合が減少し、また窒素が含有されることにより、膜中や Si/SiO_2 また界面でのストレスが緩和され、その結果膜中電荷や界面準位密度が減少し、酸窒化膜の電気的特性が大幅に改善されたものと考えられる。
- [0051] プラズマ雰囲気中において酸化膜、あるいは酸窒化膜を形成することにより得られた好ましい結果は、終端水素が除去されたことによることだけが原因ではなく、窒化膜、酸窒化膜中にArまたはKrが含有されることにも関係すると考えられる。すなわち、上記の半導体製造プロセスにより得られる窒化膜では窒化膜中やシリコン／窒化膜界面でのストレスが、窒化膜中に含有されるArあるいはKrにより緩和され、その結果シリコン窒化膜中の固定電荷や界面準位密度が低減され、電気的特性特には1

／fノイズの低減、信頼性が大幅に改善されたものと考えられる。

[0052] 上記の半導体製造プロセスにおいて使用する不活性ガスは、Arガス、Krガスに限らず、キセノンXeガスも使用できる。

さらに、シリコン酸化膜、シリコン酸窒化膜を形成した後、真空容器1内の圧力を133Pa(1Torr)程度に保ったままシャワープレート12から分圧比98／2のKr／NH₃混合ガスを導入し、シリコン酸化膜、シリコン酸窒化膜の表面に約0.7nmのシリコン窒化膜を形成しても良い。

[0053] これにより、表面にシリコン窒化膜が形成されたシリコン酸化膜、あるいはシリコン酸窒化膜が得られるのでより高い比誘電率を有する絶縁膜を形成することができる。

上述した半導体製造プロセスを実現するためには、図1の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起するためのArまたはKrガスを放出する第1のガス放出構造と、O₂、NH₃、またはN₂／H₂ガスを放出する、前記第1のガス放出構造とは異なる第2のガス放出構造とを持つ2段シャワープレート型プラズマプロセス装置を使用することも可能である。

[0054] 次に、本発明の実施の形態の半導体製造プロセスについて説明する。この半導体プロセスは、シリコン基板の(100)面と(110)面にMIS電界効果トランジスタのゲート絶縁膜を形成するものである。

[0055] シリコンの(111)面にpチャネルトランジスタを形成すると、(100)面に比べて約1.3倍の電流駆動能力が得られ、(110)面に形成すると、(100)の面の約1.8倍の電流駆動能力が得られる。

[0056] 図3は、実施の形態の半導体製造プロセスにより、シリコン基板22に(100)と(110)面を有する突出部23及び24を形成した状態を示している。また、図4は、実施の形態の半導体製造プロセスにより製造したnチャネルMOSTランジスタ20と、pチャネルMOSTランジスタ21の構造を示す図である。なお、図4には、ゲート酸化膜の下部に形成されるチャンネルを斜線で示してある。

[0057] 図3に示すように、(100)面を主面とするシリコン基板22は、素子分離領域22cによりp型領域Aとn型領域Bとに分離されている。領域Aには、(100)面を基準にして

高さが H_A で幅が W_{1A} の直方体形状の突出部23が形成され、領域Bには、同様に高さが H_B で幅が W_{1B} の突出部24が形成されている。

- [0058] 図4に示すように、シリコン基板22の表面及び突出部23及び24の頂面及び側壁面には、上述した第1の実施の形態の半導体製造プロセスによりシリコン酸化膜が形成されている。
- [0059] そして、そのシリコン酸化膜の上にポリシリコンゲート電極25及び26が形成され、ゲート電極25及び26を形成する際に、シリコン酸化膜もパターンニングされ、ゲート電極25及び26の下部にゲート絶縁膜27及び28が選択的に形成される。
- [0060] さらに、p型領域Aのゲート電極25の両側の領域にn型不純物イオンを注入して、突出部23を含むn型拡散領域29及び30を形成している。このn型拡散領域29及び30は、nチャネルMOSTランジスタ20のソースとドレインを構成する。n型領域Bにおいても、同様にゲート電極26の両側の領域にp型不純物イオンを注入して、突出部24を含むp型拡散領域31及び32を形成している。このp型拡散領域31及び32は、p型MOSTランジスタ21のソースとドレインを構成する。
- [0061] pチャネルMOSTランジスタ21及びnチャネルMOSTランジスタ20のゲート電極26及び25に所定の電圧が印加されると、ゲート酸化膜28及び27の下部に図4に斜線で示すチャンネルが形成される。
- [0062] nチャネルMOSTランジスタ20の(100)面のゲート幅は、突出部23の頂面(突出部23の上面)で W_{1A} 、突出部23の下部の左右のシリコン基板22の平坦部でそれぞれ $W_{2A}/2$ であるので合計で $W_{1A} + W_{2A}$ となる。また、nチャネルMOSTランジスタ20の(110)面のゲート幅、すなわち突出部23の左右の側壁面のゲート幅は、それぞれ H_A であるので合計で $2H_A$ となる。このゲート幅がチャンネル幅に相当する。nチャネルMOSTランジスタ20のゲート長は L_{gA} である。
- [0063] 従って、nチャネルMOSTランジスタ20の電流駆動能力は、 $\mu_{n1}(W_{1A} + W_{2A}) + \mu_{n2} \cdot 2H_A$ で表すことができる。なお、 μ_{n1} は(100)面における電子移動度、 μ_{n2} は(110)面における電子移動度である。
- [0064] 同様に、pチャネルMOSTランジスタ21の(100)面のゲート幅は突出部24の頂面で W_{1B} 、突出部24の下部の左右のシリコン基板22の平坦部でそれぞれ $W_{2B}/2$ であ

るので、合計で $W_{1B} + W_{2B}$ となる。また、pチャネルMOSTランジスタ21の(110)面のゲート幅、すなわち、突出部24の左右の側壁面におけるゲート幅は、それぞれ H_B であるので、合計のゲート幅は $2H_B$ となる。このゲート幅がチャネル幅に相当する。pチャネルMOSTランジスタ21のゲート長は L_{GB} である。

[0065] 従って、pチャネルMOSTランジスタ21の電流駆動能力は、 $\mu_{p1} (W_{1B} + W_{2B}) + \mu_{p2} \cdot 2H_B$ で表すことができる。 μ_{p1} は、(100)面におけるホール移動度、 μ_{p2} は、(110)面におけるホール移動度を表す。

[0066] 以上のことから、突出部23及び24の高さ H_A を及び H_B を適宜な値に設定することで、pチャネルMOSTランジスタ21の電流駆動能力と、nチャネルMOSTランジスタ20の電流駆動能力を平衡させることができる。この条件を式で表すと、以下のようになる。

$$\mu_{n1} (W_{1A} + W_{2A}) + \mu_{n2} \cdot 2H_A = \mu_{p1} (W_{1B} + W_{2B}) + \mu_{p2} \cdot 2H_B$$

上記の式を満足するような値に H_A を及び H_B を設定することにより、pチャネルMOSTランジスタ21の電流駆動能力とnチャネルMOSTランジスタ20の電流駆動能力を平衡させることができる。この場合、pチャネルMOSTランジスタ21の主面(例えば、(100)面)におけるチャネル幅を、nチャネルMOSTランジスタ20の(100)におけるチャネル幅に比べて大幅に広くする必要がないので、両者のゲート絶縁膜による寄生容量の差を小さくできる。これにより、pチャネルMOSTランジスタ21とnチャネルMOSTランジスタ20とによりCMOS構造の回路を構成した場合に、両者のゲート酸化膜による寄生容量を充放電するときの電流値のアンバランスを減らし、CMOS構造のトランジスタのスイッチング時に発生するノイズレベルを小さくできる。

[0067] なお、nチャネルMOSTランジスタ20のゲートの高さ H_A を「0」にし、そのnチャネルMOSTランジスタ20と電流駆動能力がほぼ等しくなるようにpチャネルMOSTランジスタ21のゲートの高さ H_B を設定しても良い。

[0068] また、pチャネルMOSTランジスタ21またはnチャネルMOSTランジスタ20を単独で形成する場合でも、pチャネルまたはnチャネルMOSTランジスタのシリコン基板の主面(例えば、(100)面)におけるゲート絶縁膜の面積を従来の半導体製造プロセスで製造する場合より狭くできるので、pチャネルMOSTランジスタ及びnチャネルMO

ストランジスタのシリコン基板の主面に占める面積を小さくできる。これにより、半導体回路の集積度を高めることができる。さらに、pチャネルまたはnチャネルMOSTランジスタの寄生容量を小さくできるので、MOSTランジスタのスイッチング速度の向上と、スイッチング時の消費電力を減らすことができる。

[0069] なお、シリコン表面に形成する絶縁膜は酸化膜に限らず、シリコン窒化膜、シリコン酸窒化膜等を形成しても良い。

次に、上述した半導体製造プロセスによりスイッチトキャパシタフィルタを半導体回路基板上に形成する場合について説明する。

[0070] 図5は、半導体回路基板上に形成するダイレクトコンバージョン受信機の回路の主要部を示す図である。

アンテナ41で受信された無線信号は、ローノイズアンプ42により増幅され、ミキサ回路43及び44に入力する。

[0071] ミキサ回路43の他方の入力端子には、局部発振回路45で生成されるローカル信号が入力し、ミキサ回路44の他方の入力端子には、そのローカル信号の位相を移相器46により90度位相をずらしたローカル信号が入力する。

[0072] ミキサ回路43及び44において、受信信号とそれらのローカル信号が混合され、90度の位相差を有するベースバンド信号に変換される。そして、スイッチトキャパシタフィルタなどで構成されるローパスフィルタ47、48により所定の周波数以上の信号が減衰され、DCアンプ49、50に出力される。

[0073] DCアンプ49、50は、ベースバンド信号をA/D変換器51、52の分解能に応じた信号レベルまで増幅する。

A/D変換器51、52は、アナログのベースバンド信号をデジタル信号に変換し、デジタル信号処理プロセッサ(DSP)53に出力する。DSP53は、ベースバンド信号に対してデジタル信号処理を行い信号を復調する。

[0074] ここで、CMOSスイッチを用いたスイッチトキャパシタ回路の一例を図6を参照して説明する。

図6において、スイッチ61は、pチャネルMOSTランジスタ61aとnチャネルMOSTランジスタ61bが並列に接続されて構成されている。このスイッチ61の入力端子には

入力信号Vinが入力し、出力端子はコンデンサC1と接続されている。

[0075] スイッチ62は、pチャネルMOSトランジスタ62aとnチャネルMOSトランジスタ62bとが並列に接続されて構成されている。スイッチ62の入力端子はスイッチ61の出力端子(コンデンサC1の一方の端子)と接続され、出力端子は接地されている。

[0076] スイッチ63は、pチャネルMOSトランジスタ63aとnチャネルMOSトランジスタ63bが並列に接続されて構成されている。このスイッチ63の入力端子は、コンデンサC1の他方の端子と接続され、出力端子は接地されている。

[0077] スイッチ64は、pチャネルMOSトランジスタ64aとnチャネルMOSトランジスタ64bとが並列に接続されて構成されている。スイッチ64の入力端子は、コンデンサC1の他方の端子(スイッチ63の入力端子)と接続され、出力端子はオペアンプの反転入力端子とコンデンサC2とに接続されている。

[0078] オペアンプ65の反転入力端子と出力端子との間にはコンデンサC2が接続され、非反転入力端子は接地されている。

上記の回路の動作を説明すると、以下のようになる。

[0079] pチャネルMOSトランジスタ61a及びnチャネルMOSトランジスタ61b(スイッチ61)と、pチャネルMOSトランジスタ63a及びnチャネルMOSトランジスタ63b(スイッチ63)のゲートには、それらのスイッチ61及び63が、同時にオンするような信号が入力する。

[0080] また、pチャネルMOSトランジスタ62a及びnチャネルMOSトランジスタ62b(スイッチ62)と、pチャネルMOSトランジスタ64a及びnチャネルMOSトランジスタ64b(スイッチ64)のゲートには、スイッチ61及び63がオフのとき、同時にオンとなるような信号が入力する。

[0081] ゲートに信号が入力してスイッチ61及び63がオンすると、コンデンサC1が入力電圧Vinにより充電され、スイッチ61及び63がオフし、スイッチ62及び64がオンしたときに、コンデンサC1の電荷がコンデンサC2に転送される。

[0082] スイッチトキャパシタ回路を上述した半導体プロセスにより製造し、pチャネルMOSトランジスタとnチャネルMOSトランジスタのゲート・ソース間及びゲート・ドレイン間の容量をほぼ等しくすることで、スイッチング時のノイズを低減することができる。これに

より、pチャネルMOSTランジスタとnチャネルMOSTランジスタの寄生容量の差を補償するための回路が不要となる。また、スイッチを構成するpチャネルMOSTランジスタの素子面積を減らすことで寄生容量を小さくできるので、スイッチの出力電圧の変動幅を少なくできる。

[0083] また、シリコン表面のダメージを減らし平坦化することで、MOSTランジスタの特性(例えば、しきい値電圧など)のバラツキを少なくし、リーク電流とDCオフセットを少なし、スイッチトキャパシタ回路の積分値の誤差を減らすことができる。また、コンデンサを上記の酸化膜を使用して構成することで、コンデンサの特性も改善することができる。

[0084] また、立体構造にして異なる結晶面にゲート酸化膜を形成することで、MOSTランジスタの電流駆動能力を向上させ、かつシリコン基板の主面におけるランジスタの素子面積を小さくできる。

[0085] スwitchトキャパシタ回路のスイッチは、実施の形態のようにpチャネルMOSTランジスタとnチャネルMOSTランジスタを並列に接続した構造のものに限らず、nチャネルMOSまたはpチャネルMOSTランジスタのみで構成しても良い。この場合でも、MOSTランジスタの特性のばらつきを少なくし、リーク電流、DCオフセットを減らす効果が得られる。また、MOSTランジスタの素子面積を小さくできる。

[0086] また、スイッチトキャパシタ回路以外の回路、例えば、DCアンプ、A/D変換回路、デジタル回路等のpチャネルMOSTランジスタとnチャネルMOSTランジスタを上述した半導体プロセスにより製造しても良い。

[0087] このように構成することで、他の回路のpチャネルMOSTランジスタとnチャネルMOSTランジスタの特性を揃えることができるので、DCオフセットや $1/f$ ノイズを低減できる。また、MOSTランジスタの電流駆動能力が向上するので回路の動作特性も改善される。

[0088] さらに、他の回路のpチャネルMOSとnチャネルMOSTランジスタのチャネルを、シリコンの異なる結晶面(例えば、(100)面と(110))に形成するようにし、それらのチャネル幅をpチャネルMOSTランジスタとnチャネルMOSTランジスタの電流駆動能力がほぼ等しくなるように設計しても良い。

[0089] このように構成することで、pチャネルMOSTランジスタとnチャネルMOSTランジスタ

タの寄生容量等をほぼ同じにし、かつ寄生容量を小さくできるので、MOSTランジスタの動作速度を向上させることができると共に、MOSTランジスタのオン、オフ時に流れる電流により発生するノイズを低減できる。

[0090] 本発明は、上述した実施の形態に限らず、以下のように構成しても良い。

本発明は、実施の形態に示したスイッチトキャパシタ回路に限らず、公知の他の回路、あるいはスイッチトキャパシタフィルタ等にも適用できる。

[0091] シリコンの結晶面は、(100)面と(110)面の組み合わせに限らず、(100)面と(111)面等の他の結晶面と組み合わせても良い。

本発明によれば、スイッチトキャパシタ回路のMIS電界効果トランジスタのリーク電流やDCオフセットを減らすことができるので、それらを補償するための回路が不要となる。また、スイッチを構成するpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの電流駆動能力をほぼ等しくすることで、スイッチング時のノイズ及び出力電圧の電圧変動を減らすことができる。さらに、スイッチトキャパシタ回路に接続される他の回路のDCオフセット、スイッチング時のノイズを減らすことができる。

請求の範囲

- [1] 半導体集積回路基板上に形成したスイッチトキャパシタ回路であって、
第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したMIS電界トランジスタとコンデンサとからなるスイッチトキャパシタ回路。
- [2] 前記突出部の頂面の第1の結晶面と側壁面の第2の結晶面にチャンネルが形成され、前記MIS電界効果トランジスタのチャンネル幅が、少なくとも前記頂面のチャンネル幅と前記側壁面のチャンネル幅の総和からなる請求項1記載のスイッチトキャパシタ回路。
- [3] 前記突出部は、頂面がシリコンの(100)面からなり、側壁面がシリコンの(110)からなり、前記ソース及びドレインが、前記ゲートを挟む前記突出部及びシリコン基板の該突出部の左右の領域に形成された請求項1または2記載のスイッチトキャパシタ回路。
- [4] 前記スイッチトキャパシタ回路は、pチャンネルMIS電界効果トランジスタとnチャンネルMIS電界効果トランジスタとが並列に接続されたスイッチを有し、前記pチャンネルMIS電界効果トランジスタの突出部の頂面及び側壁面のゲート幅を、前記pチャンネルMIS電界効果トランジスタと前記nチャンネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定した請求項1または2記載のスイッチトキャパシタ回路。
- [5] 前記スイッチトキャパシタ回路は、入力端子に信号が入力され、互いに並列に接続された第1のpチャンネル及びnチャンネルMIS電界効果トランジスタと、前記第1のpチャンネル及びnチャンネルMIS電界効果トランジスタの出力に入力端子が接続され、出力端子が接地された、互いに並列に接続された第2のpチャンネル及びnチャンネルMISトランジスタと、前記第1のpチャンネル及びnチャンネルMIS電界効果トランジスタの出力端子に一端が接続されたコンデンサと、前記コンデンサの他端と入力端子が接続され、出力端子が接地された、互いに並列に接続された第3のpチャンネル及びnチャネ

ルMIS電界効果トランジスタと、前記コンデンサの他端と入力端子が接続され、互いに並列に接続された第4のpチャネル及びnチャネルMIS電界効果トランジスタとからなる請求項1または2記載のスイッチトキャパシタ回路。

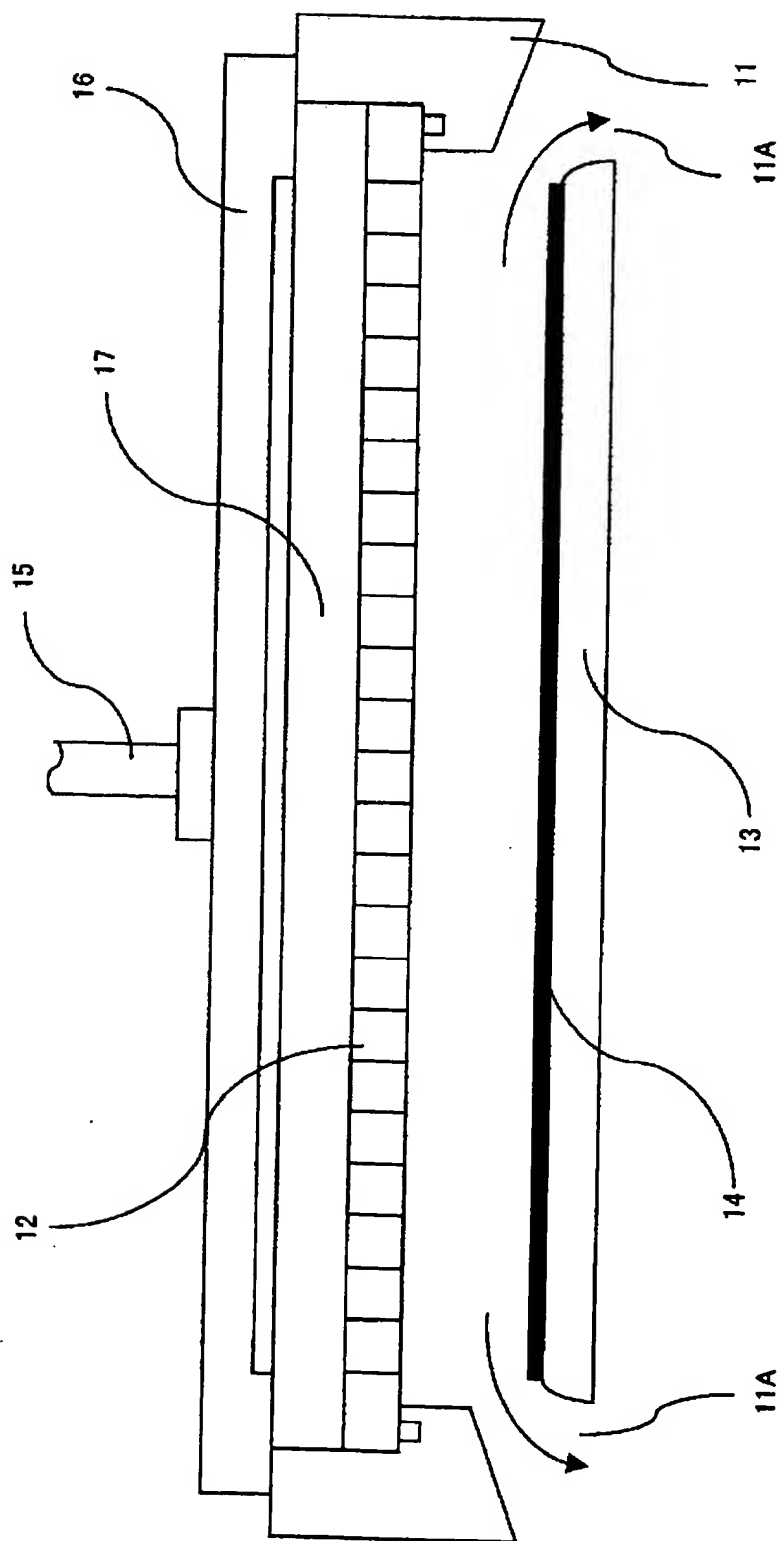
- [6] 第1の結晶面を主面とするシリコン基板上に第2の結晶面を側壁面として有する突出部を形成し、不活性ガスのプラズマ雰囲気中でシリコン表面の終端水素を除去した後、プラズマ雰囲気中で約550度C以下の温度で、前記突出部の頂面及び側壁面の少なくとも一部にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲートを形成し、前記突出部の前記ゲート絶縁膜を挟む両側にドレイン及びソースを形成したpチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとからなる回路と、

前記pチャネルMIS電界効果トランジスタまたはnチャネルMIS電界効果トランジスタとコンデンサとからなるスイッチトキャパシタ回路とが形成された半導体集積回路。

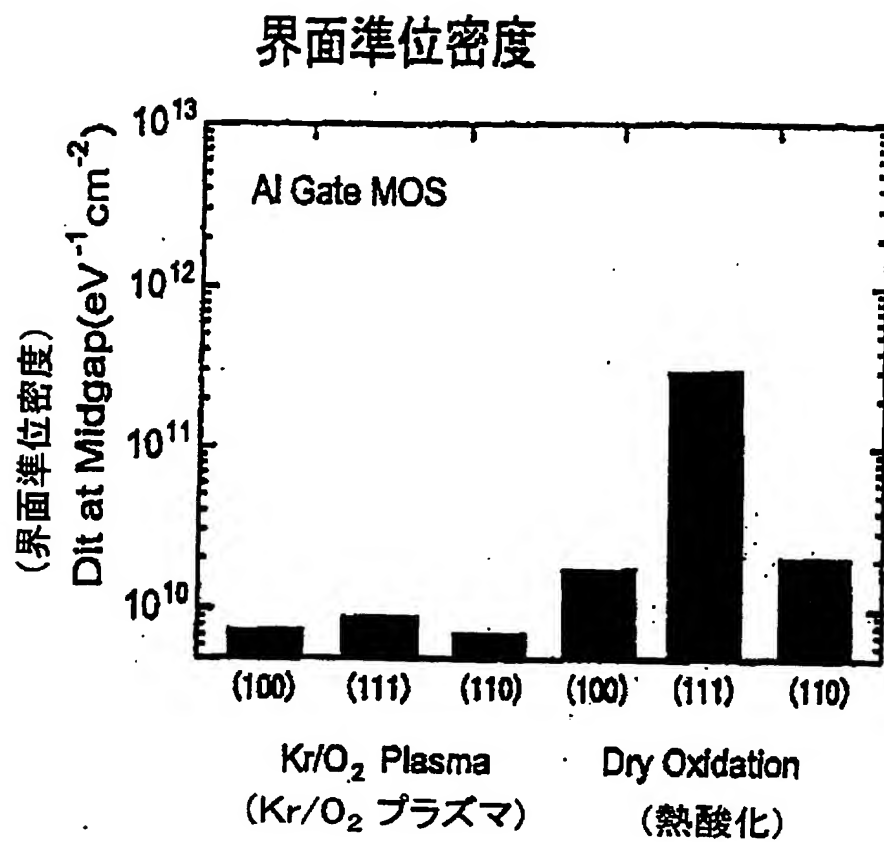
- [7] 前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタの頂面及び側壁面のゲート幅を、前記pチャネルMIS電界効果トランジスタと前記nチャネルMIS電界効果トランジスタの電流駆動能力がほぼ等しくなるように設定した請求項6記載の半導体集積回路。

- [8] 前記スイッチトキャパシタ回路は、前記pチャネルMIS電界効果トランジスタとnチャネルMIS電界効果トランジスタとが並列に接続されたスイッチを有する請求項6または7記載の半導体集積回路。

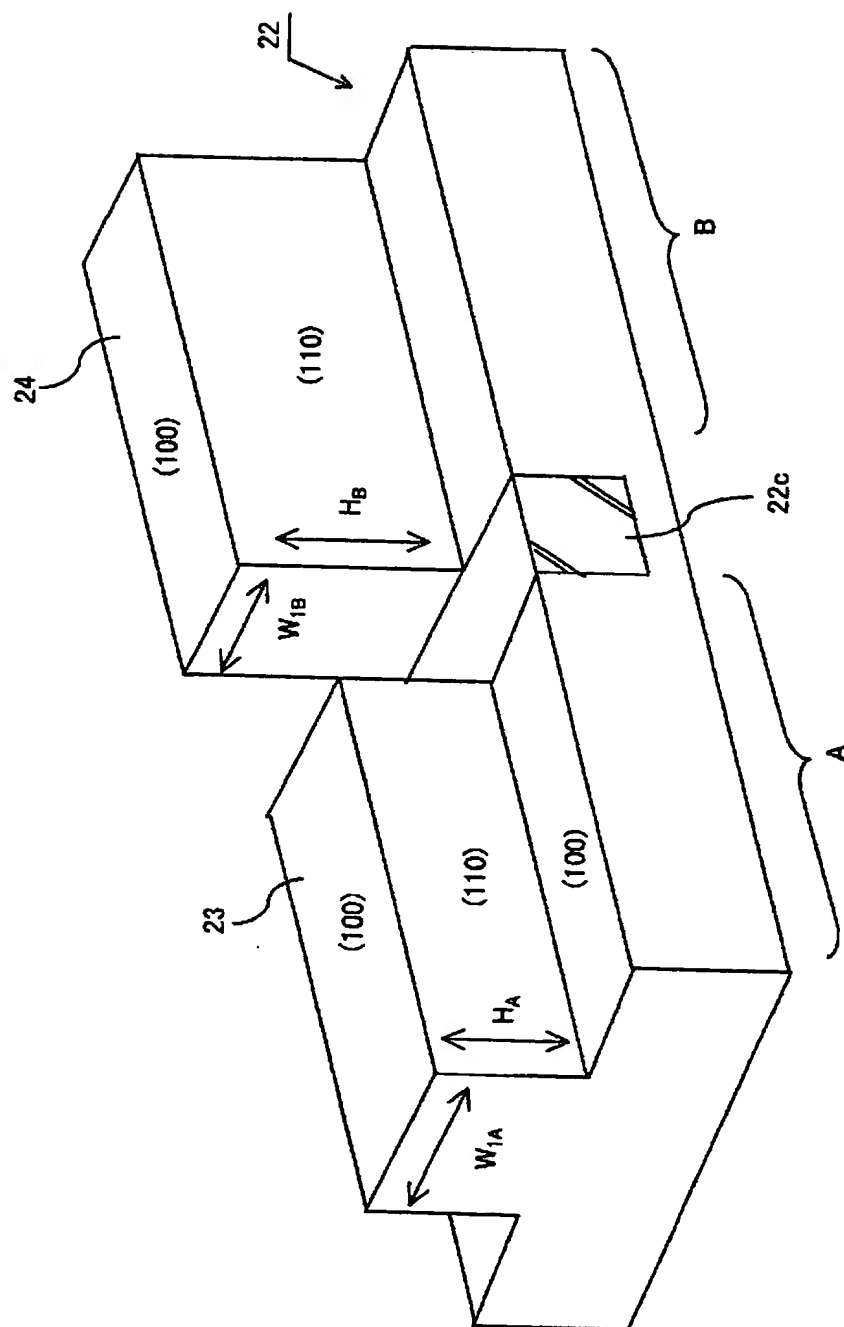
[図1]



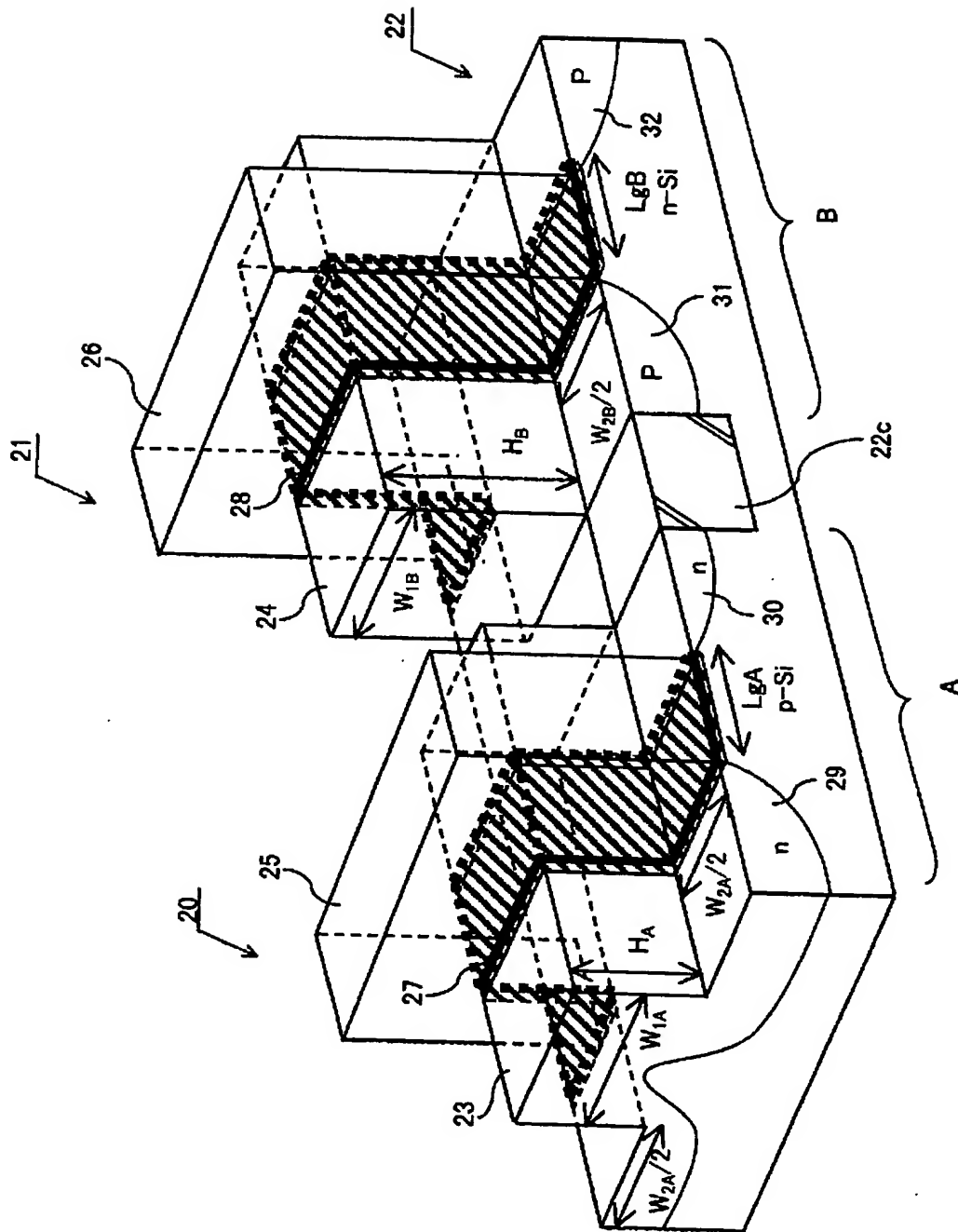
[図2]



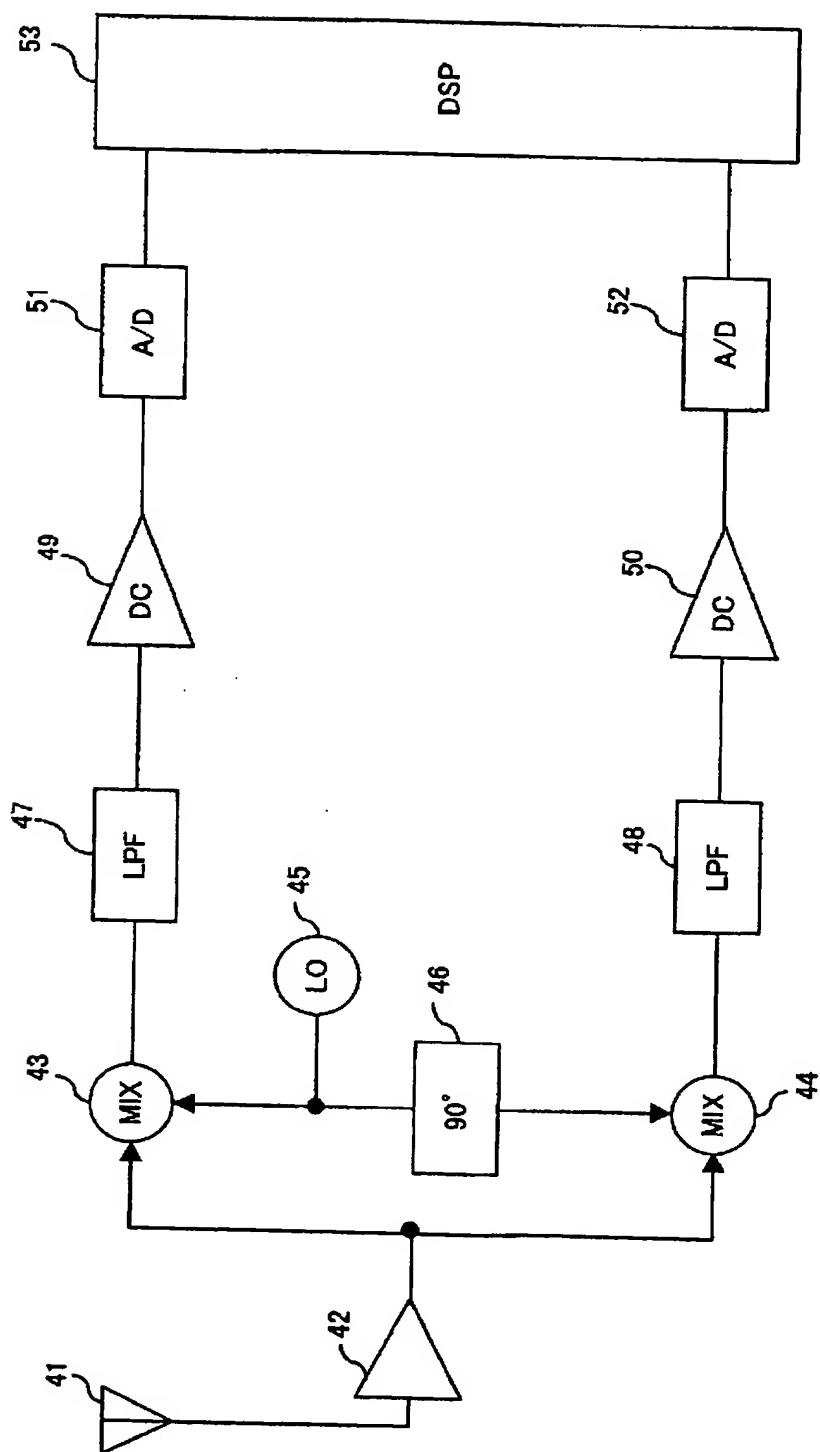
[図3]



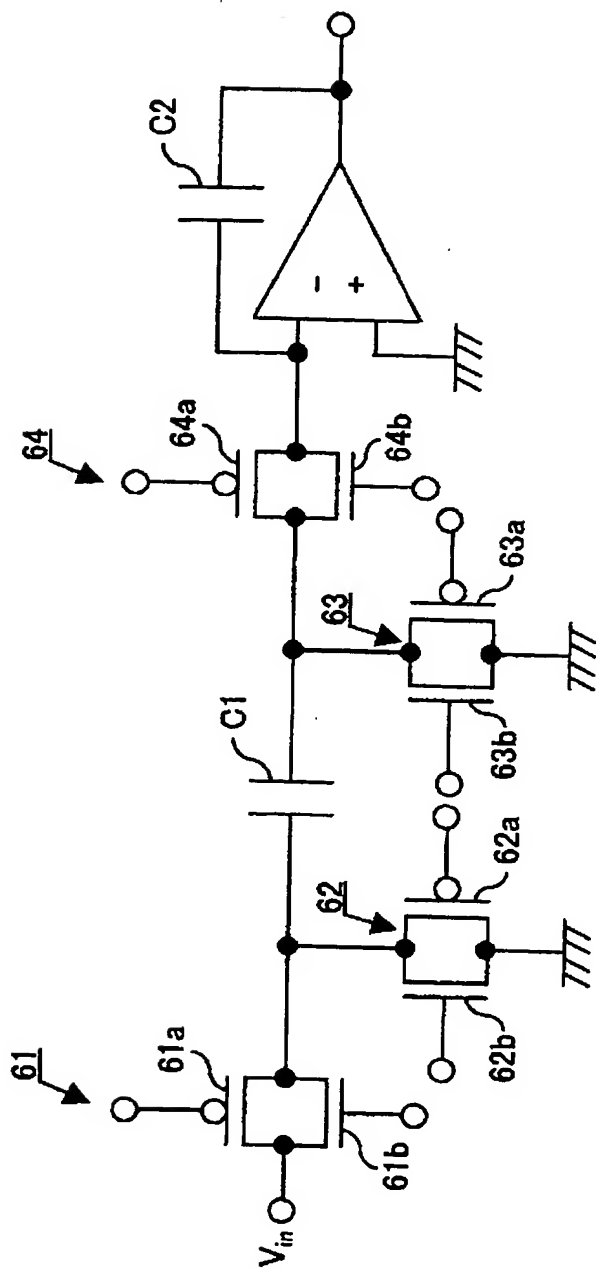
[図4]



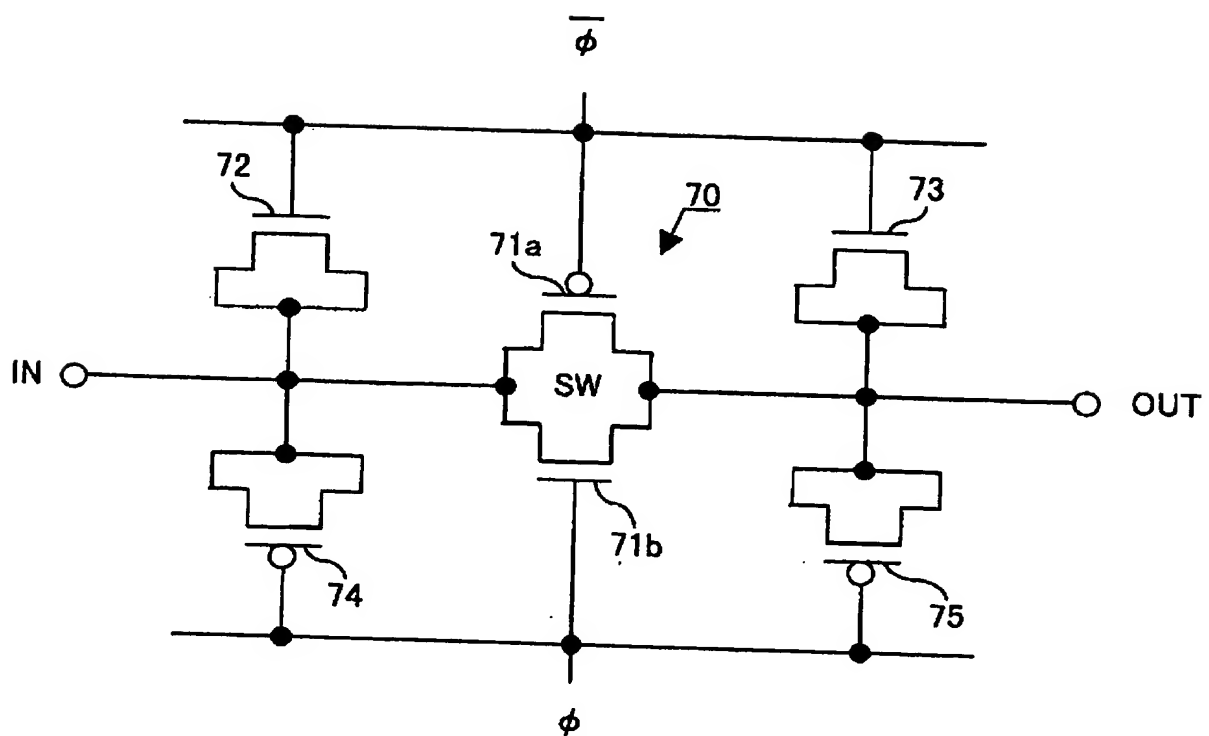
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008220

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/092, H03H19/00, H01L29/78, H01L21/336.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/092, H03H19/00, H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-118255 A (Toshiba Corp.), 19 April, 2002 (19.04.02), Full text; all drawings & US 2002/011612 A1 Full text; all drawings	1-3, 5, 7, 8 4, 6
Y A	JP 2002-261097 A (Tadahiro OMI), 13 September, 2002 (13.09.02), Full text; all drawings & EP 1347506 A1 Full text; all drawings & WO 2002/054473 A1 & JP 2002-261091 A & KR 3068570 A	1-3, 5, 7, 8 4, 6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 August, 2004 (06.08.04)

Date of mailing of the international search report
24 August, 2004 (24.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008220

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
<p>Y A</p>	<p>JP 11-163647 A (Denso Corp.), 18 June, 1999 (18.06.99), Full text; all drawings (Family: none)</p>	<p>1-3, 5, 7, 8 4, 6</p>

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 H01L27/092, H03H19/00, H01L29/78, H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 H01L27/092, H03H19/00, H01L29/78, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2002-118255 A (株式会社東芝) 2002.04.19, 全文, 全図 & US 2002/011612 A1, 全文, 全図	1-3, 5, 7, 8 4, 6
Y A	JP 2002-261097 A (大見 忠弘) 2002.09.13, 全文, 全図 & EP 1347506 A1, 全文, 全図 & WO 2002/ 054473 A1 & JP 2002-261091 A & KR 3068570 A	1-3, 5, 7, 8 4, 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

06.08.2004

国際調査報告の発送日

24.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

淵 真悟

4 L

3125

電話番号 03-3581-1101 内線 3462

